

MicroPatent® PatSearch Fulltext: Record 1 of 1

Search scope: JP (bibliographic data only)

Years: 1836-2006

Patent/Publication No.: ((JP07056844))

[Order/Download](#)[Family Lookup](#)[Find Similar](#)[Legal Status](#)

[Go to first matching text](#)

JP07056844 A

**MASTER BUS MASTER USED FOR
COMPUTER SYSTEM WITH SYSTEM
MEMORY HAVING BUS AS BASE
AND COMPUTER SYSTEM HAVING
BUS AS BASE
ADVANCED MICRO DEVICDS INC**

[no drawing]

Abstract:

PURPOSE: To provide a method and device for escaping unnecessary data transmission by detecting the presence of a bus master equipped with an additional cache.

CONSTITUTION: A slave bus master 18 equipped with any cache is connected with a control line 22 by an output at the time of caching the data of a system memory, and a signal is generated by the output. A control line 22 is driven into a preliminarily decided state, and it is indicated that they are caching the data. A master bus master 16 detects the state of the control line 22, and judges whether or not data buffered in a local cache device 34 are shared based on the state of the control line 22. When the state of the control line 22 indicates the presence of the bus master 16 equipped with the other cache, the master bus master 16 automatically transmits corrected data widely, and otherwise when the space of the cache occupied by the corrected data is necessary for new data, the corrected data are written in the system memory.

Inventor(s):

KRANICH UWE

Application No. 06137451 JP06137451 JP, **Filed** 19940620, **A1 Published** 19950303

Original IPC(1-7): G06F01312
G06F01208

Current IPC-R	invention	version	additional	version
Advanced	G06F01208	20060101		
Core	G06F01208	20060101		

Priority:

US 93 81080 19930622

Patents Citing This One No US, EP, or WO patent/search reports have cited this patent.



For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-56844

(43)公開日 平成7年(1995)3月3日

(51)IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/12	3 3 0 T	8133-5B		
12/08	3 1 0 A	7608-5B		

審査請求 未請求 請求項の数17 O L (全 8 頁)

(21)出願番号 特願平6-137451

(22)出願日 平成6年(1994)6月20日

(31)優先権主張番号 0 8 1 0 8 0

(32)優先日 1993年6月22日

(33)優先権主張国 米国 (US)

(71)出願人 591016172

アドバンスト・マイクロ・ディバイズ・
インコーポレイテッド

ADVANCED MICRO DEVI
CES INCORPORATED

アメリカ合衆国、94088-3453 カリフォ
ルニア州、サニペイル、ピィ・オウ・ボ
ックス・3453、ワン・エイ・エム・ディ・
ブレイス (番地なし)

(72)発明者 ウベ・クラニヒ

ドイツ連邦共和国、デー-81671 ミュン
ヘン、ミュンヘン、80

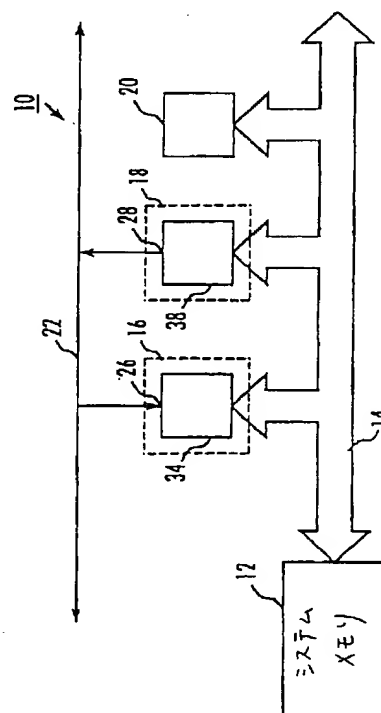
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 システムメモリを有するバスをベースにしたコンピュータシステムに使用するためのマスタバス
マスタおよびバスをベースにしたコンピュータシステム

(57)【要約】

【目的】 付加のキャッシュを備えたバスマスタの存在
を検出して、不必要なデータ伝送を回避する方法および
装置を提供する。

【構成】 いずれのキャッシュを備えたスレーブバスマ
スタもシステムメモリのデータをキャッシュしている出
力で制御ラインに結合され、出力で信号を発するように
構成され、制御ラインを予め定められた状態に駆動して
それらがデータをキャッシュしていることを示す。マスタ
バスマスタは制御ラインの状態を検出し、局部キャッ
シュ装置にバッファされているデータが制御ラインの状
態に基づいて共用されるかどうかを判断する。制御ライ
ンの状態が他のキャッシュを備えたバスマスタの存在を
示すならば、マスタバスマスタは自動的にそれが修正す
るデータを広く伝え、そうでなければ修正されたデータ
によって占有されたキャッシュのスペースが新しいデー
タのために必要とされているときシステムメモリに戻っ
て修正されたデータを書込む。



【特許請求の範囲】

【請求項 1】 システムメモリを有するバスをベースにしたコンピュータシステムに使用するためのマスタバスマスタであって、マスタバスマスタはデータをキャッシュするために、および単独のまたはデータをキャッシュする少なくとも他の 1 つのバスマスタに関連した動作のために構成されており、

処理ユニットと、

バスによって前記システムメモリに結合され、前記処理ユニットに結合される局部キャッシュ装置とを含み、前記キャッシュ装置は前記処理ユニットとシステムメモリとの間のデータをキャッシュするためのキャッシュメモリを含んでおり、さらに制御ラインに結合され、制御ラインの論理状態を検出するための入力手段を含み、その論理状態はデータをキャッシュする他の 1 つのバスマスタが前記コンピュータシステムにあるかどうかを示し、前記局部キャッシュ装置は、前記入力手段に結合され前記論理状態に応答して前記バスと前記キャッシュメモリとの間のデータの伝達を制御する制御手段を含む、マスタバスマスタ。

【請求項 2】 前記局部キャッシュ装置制御手段はキャッシュ制御装置を含む、請求項 1 に記載のバスマスタ。

【請求項 3】 前記キャッシュメモリが複数のデータブロックおよび前記複数のデータブロックの各々のデータブロックの状況を表わす状況情報を記憶する状況記憶を含む、請求項 2 に記載のバスマスタ。

【請求項 4】 前記状況情報は、前記複数のデータブロックの各々にあるデータが共用されるか排他的であるかを表わす共用状況情報を含む、請求項 3 に記載のバスマスタ。

【請求項 5】 前記キャッシュ制御装置が、前記論理状態に応答して前記状況記憶に前記共用状況情報を維持する、請求項 4 に記載のバスマスタ。

【請求項 6】 前記処理ユニットが前記キャッシュメモリにあるデータを修正するために配設され、データをキャッシュする他の 1 つのバスマスタが前記コンピュータシステムにあると前記論理状態が示すとき、前記バスを介して前記バスマスタによって修正される前記データを伝えるために前記キャッシュ制御装置が配列される、請求項 5 に記載のバスマスタ。

【請求項 7】 前記マスタバスマスタがマイクロプロセッサである、請求項 6 に記載のマスタバスマスタ。

【請求項 8】 1) システムメモリと、
2) 前記システムメモリに結合されたバスと、
3) 論理状態を有する制御ラインとを含み、前記論理状態は最初第 1 の状態であって、さらに
4) マスタバスマスタを備え、前記マスタバスマスタは処理ユニットと、
前記制御ラインに結合され、前記制御ラインの状況を検出するための検出手段と、

前記バス、前記検出手段、および前記処理ユニットに結合され、前記処理ユニットと前記システムメモリとの間のデータをキャッシュするための、局部キャッシュ装置とを含み、前記局部キャッシュ装置が、前記制御ラインの前記状態に応答して、前記処理ユニットと前記システムメモリとの間のデータの伝達を制御する、バスをベースにしたコンピュータシステム。

【請求項 9】 前記局部キャッシュシステムが、状況記憶を有するキャッシュメモリを含み、前記状況記憶は前記キャッシュメモリに現在あるデータの状況を表わす状況データを保持し、さらに前記キャッシュメモリに結合され、前記キャッシュメモリと前記システムメモリとの間のデータ転送を制御し、前記状況データを維持するためのキャッシュ制御装置を含む、請求項 8 に記載の回路。

【請求項 10】 前記状況データが共用状況データを含み、前記キャッシュ制御装置が前記制御ラインの前記状態に応答して、前記共用状況データを維持する、請求項 9 に記載のコンピュータシステム。

【請求項 11】 前記キャッシュ制御装置は前記共用状況データを示し、前記状態が前記第 1 の状態であるときキャッシュメモリの選択されたデータブロックのデータは排他的であることを示し、前記状態が前記第 1 の状態でないとき前記キャッシュメモリの前記選択されたデータブロックのデータが共用されることを示す、請求項 10 に記載のコンピュータシステム。

【請求項 12】 前記バスによって前記システムメモリに結合されるスレーブバスマスタをさらに含み、前記スレーブバスマスタが、前記スレーブバスマスタが前記システムメモリからデータをキャッシュするとき前記制御ラインに結合され、前記制御ラインを第 2 の状態に駆動するための駆動手段を含む、請求項 8 に記載のコンピュータシステム。

【請求項 13】 バスをベースにしたコンピュータシステムのキャッシュするバスマスタによる、不必要なデータ伝送を防止する方法であって、
制御ラインに第 1 の初期論理状態を与えるステップと、
前記キャッシュするバスマスタを前記制御ラインに結合するステップと、
第 2 のバスマスタを前記制御ラインに結合するステップと、
前記第 2 のバスマスタがデータをキャッシュするとき前記第 2 のバスマスタが前記制御ラインを第 2 の状態に駆動するのを引きこすステップと、
前記キャッシュするバスマスタが前記制御ラインは前記第 1 の状態または前記第 2 の状態にあるかどうか検出するのを引きこすステップと、
前記制御ラインが前記第 2 の状態にあるときのみ、前記キャッシュするバスマスタが修正されたデータを伝えるのを引きこすステップとを含む、方法。

【請求項 1 4】 前記キャッシュするバスマスタおよび前記第 2 のバスマスタが、バスによってシステムメモリに結合され、前記制御ラインが前記第 2 の状態にあるとき前記キャッシュするバスマスタが修正されたデータを前記第 2 のマスタに前記バスを介して伝えることを引起すステップをさらに含む、請求項 1 3 に記載の方法。

【請求項 1 5】 前記キャッシュするバスマスタは、処理ユニットおよびデータを記憶するためのキャッシュメモリを含み、前記キャッシュメモリは前記キャッシュメモリに記憶されたデータの状況を示す状況データを記憶するための状況記憶を有し、前記処理ユニットがデータを要求するとき前記状況データを読取るステップと、前記要求されたデータが前記キャッシュメモリにあるかどうかを前記状況データに基づいて決定するステップとをさらに含む、請求項 1 4 に記載の方法。

【請求項 1 6】 前記要求されたデータが前記キャッシュメモリにないとき、前記要求されたデータを前記システムメモリから前記バスを介して検索するステップと、前記要求され検索されたデータを前記キャッシュメモリに記憶するステップとをさらに含む、請求項 1 5 に記載の方法。

【請求項 1 7】 前記制御ラインが前記第 1 の論理状態にあるとき、前記要求され検索されたデータは排他的であることを示すために前記状況データを更新するステップと、前記制御ラインが前記第 2 の論理状態にあるとき前記要求され検索されたデータが共有されることを示すために前記状況データを更新するステップとをさらに含む、請求項 1 6 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の分野】本発明は、キャッシュ動作を制御する装置および方法に関し、より特定的には、キャッシュを備えるバスマスタを有するコンピュータシステムのバスアクティビティを低減するための装置および方法に関する。

【0002】

【発明の背景】バスマスタは、バスをベースにしたコンピュータシステムのシステムメモリとの読み書き処理を起動させ得る装置である。そのような装置の一例としてプロセッサがある。プロセッサは、システムメモリから命令を検索し、検索された命令によって指令されたようにデータを読み、処理し、システムメモリに書込む。

【0003】コンピュータシステムの性能を増すための 1 つの方法は、システム中のシステムメモリとバスマスタとの間に転送されるデータの速度を増やすことである。これはシステムメモリのための高速スピードメモリチップを使用することで達成される。しかし、メモリのコストはメモリの速度に伴って莫大に増大する。このように、入手可能な最高速のメモリを使用することは、特に多量のシステムメモリを必要とするシステムでは、実

用的ではない。結果として、比較的高速のメモリ（キャッシュメモリ）の比較的小さなバンクを、バスマスタとシステムメモリのより大きく遅いバンクとの間のバッファとして使用することでシステム性能が大いに改良され得ることがわかってきた。

【0004】システムメモリとバスマスタのキャッシュメモリとの間のデータ転送は、キャッシュ制御装置によって制御される。キャッシュ制御装置は、それがそのために働くバスマスタの必要に基づきキャッシュメモリを管理する。たとえば、プロセッサが現在プロセッサのキャッシュメモリに記憶されていないデータを必要とするなら、そのデータはより遅いシステムメモリからプロセッサのキャッシュメモリに転送されなければならない。一旦そのデータがプロセッサのキャッシュメモリに入ると、そのプロセッサは後続の動作のためにそのデータをより速いキャッシュメモリの速度でアクセスできるだろう。さらに、プロセッサがキャッシュメモリにない情報を必要とし、すべてのキャッシュメモリブロックがすでに割当てられているならば、キャッシュ制御装置は、キャッシュメモリの修正されていないデータの上に書込むか修正されたデータをシステムメモリに戻して記憶するかのかのいずれかによって、新しく要求されたデータのために記憶スペースを開放する。

【0005】キャッシュを備えたプロセッサおよびキャッシュを備えた I/O デバイス等の、1 つより多いキャッシュを備えたバスマスタを有するシステムでは、同じデータのいくつかのバージョンが存在するかもしれない。たとえば、プロセッサのキャッシュメモリおよび I/O デバイスのキャッシュメモリはシステムメモリの同じブロックから生じるデータのコピーを保持するかもしれない。1 つより多いキャッシュを備えるバスマスタで得られるデータは「共用データ」と呼ばれる。もし、I/O デバイスまたはプロセッサのいずれかがその局部キャッシュメモリで共用データのブロックを修正するならば、データの他のすべてのコピーは、他のバスマスタのキャッシュにあるデータのどのコピーも含めて、「古く」なる（もはや新しくない）。

【0006】古いデータの使用を避けるため、共用データのブロックを修正するバスマスタはデータの修正されたバージョンをシステムのすべての他のキャッシュを備えたバスマスタに広く伝えなければならない。しかしながら、この伝える過程は本質的に多量の装置間のコミュニケーションを必要とする。そのようなコミュニケーションは、典型的にはバスマスタをシステムメモリに接続する同じバスを介して行なわれる。結果としてこれらのバスは混雑し、より遅いデータ伝送速度になり、システムの性能を落とすことになる。

【0007】前述のことを鑑みて、キャッシュを備えたバスマスタに他のキャッシュを備えたバスマスタがそのシステムに存在するかどうかを知らせる装置および方法

が明らかに所望される。さらに、バスマスタをシステムメモリに接続するバスを介するデータトラフィックを増やさずに、キャッシュを備えたバスマスタがシステム上にあるかどうかを、キャッシュを備えたバスマスタに決定させる装置および方法が明らかに所望される。最後に、バスマスタをシステムメモリに接続するバスを介するデータトラフィックを増やさずにデータブロックの共用状況を決定する装置が明らかに所望される。

【0008】

【発明の概要】本発明の第1の局面に従えば、システムメモリを有するバスをベースにしたコンピュータシステムに使用される、バスマスタが提供される。バスマスタは、処理ユニットと、バスによってシステムに結合され処理ユニットに結合される局部キャッシュ装置とを含む。バスマスタは処理ユニットとシステムメモリとの間でデータをキャッシュする。バスマスタは制御ラインに結合されて制御ラインの論理状態を検出する入力をさらに含む。制御ラインの論理状態はキャッシュを備えた別のバスマスタがコンピュータシステムにあるかどうかを示す。局部キャッシュ装置は入力に結合され、論理ラインの論理状態にตอบสนองしてバスとキャッシュメモリとの間のデータ伝達を制御する。

【0009】本発明の別の局面に従えば、バスをベースにしたコンピュータシステムが提供される。コンピュータシステムはシステムメモリと、システムメモリに結合されたバスと、論理状態を有する制御ラインとを含む。論理状態は最初第1の状態である。そのシステムは、処理ユニットと、制御ラインに結合され、制御ラインの状態を検出するための検出手段と、バス、検出手段および処理ユニットに結合された局部キャッシュとを含むバスマスタバスマスタをさらに含む。局部キャッシュ装置は、処理ユニットとシステムメモリとの間でデータをキャッシュする。局部キャッシュ装置は、制御ラインの状態にตอบสนองして処理ユニットとシステムメモリとの間のデータの伝達を制御する。

【0010】本発明のさらに別の局面に従えば、バスをベースにしたコンピュータシステムにおいてキャッシュするバスマスタによる不必要なデータの伝達を避けるための方法が提供される。その方法は、制御ラインに第1の最初の論理状態を与えるステップと、キャッシュするバスマスタを制御ラインに結合するステップと、第2のバスマスタを制御ラインに結合するステップとを含む。その方法は、第2のバスマスタがデータをキャッシュしているとき第2のバスマスタに制御ラインを第2の状態に駆動させるステップと、キャッシュするバスマスタに制御ラインが第1の状態または第2の状態であるか検出させるステップと、制御ラインが第2の状態であるときのみキャッシュするバスマスタが修正されたデータを広く伝えることを引起すステップとをさらに含む。

【0011】

【詳しい説明】新規であると考えられる本発明の特徴は前掲の請求項で詳細に述べられている。この発明はさらなる目的および利点とともに添付図面に関する次の説明を参照することによって理解されるであろう。いくつかの図面において同様の参照数字は同様の要素を表わしている。

【0012】図1を参照して、本発明を具体化するコンピュータシステム10がブロック図で示されている。コンピュータシステム10は一般にシステムメモリ12と、マスタバスマスタ16と、複数のスレーブバスマスタ18および20を含む。バスマスタ16、18および20は多ビットバス14によってメモリ12および互いにさらに結合されている。バスマスタ16および18は制御ライン22によって互いにさらに結合されている。スレーブバスマスタ18は制御ライン22に出力28によって結合され、マスタバスマスタ16は制御ラインに入力26によって結合される。

【0013】スレーブバスマスタ18は局部キャッシュ装置38を備えており、制御ライン22を特定の状態に、たとえば論理HIGHに、出力28の制御信号によって駆動し、バスマスタ18がそれ自身とシステムメモリ12との間でデータ転送をキャッシュしているかどうかを示すように構成されている。たとえば、制御ライン22は最初はLOWで、バスマスタ18は、もしバスマスタ18がその局部キャッシュ装置38でデータをキャッシュしている時には制御信号を発生して制御ライン22をHIGHに駆動するように構成されていてもよい。スレーブバスマスタ20は局部キャッシュ装置を備えておらず、制御ライン22に結合されていない。したがってスレーブバスマスタ20は制御ライン22の状態に影響を与えない。

【0014】マスタバスマスタ16は局部キャッシュ装置34を備えており、さらに入力26で制御ライン22の状態を検出するように構成されている。制御ライン22の状態が、スレーブバスマスタがデータをキャッシュしていることを示すならば、マスタバスマスタ16が局部キャッシュ装置34内でいずれかのデータを修正すると、マスタバスマスタ16は修正されたデータをバス14を介してシステムの他のバスマスタに伝える。そうではなくて、制御ライン22の状態がどのスレーブバスマスタもデータをキャッシュしていないことを示すなら、バスマスタ16はその局部キャッシュ装置34でデータを修正しても、自動的にデータを送ることはしない。

【0015】システム10がたった2つのスレーブバスマスタ18および20を備えて示されているが、これに代えてシステム10はいくつのスレーブマスタを含んでもよい。このようにして、制御ライン22の状態はマスタバスマスタ16に、システム10のいくつかのスレーブバスマスタのうちいずれかがデータをキャッシュしているかどうかを示す。

【0016】マスタバスマスタ16が制御ライン22の状態を検出するので、データをキャッシュしているのがシステム10のバスマスタだけであるとき、バス14のデータトラフィックは大いに減らされる。具体的には、マスタバスマスタが他のキャッシュするバスマスタがシステムにあることを検出したときだけ自動的に修正されたデータを送るので、バス14を介する不必要なデータの伝送が回避される。

【0017】本発明の好ましい実施例ではマスタバスマスタ16はキャッシュを備えた中央処理装置(CPU)である。しかしマスタバスマスタ16は代替的にキャッシュを備えたバスマスタのいかなるタイプのものでもよい。

【0018】図2を参照して、マスタバスマスタ16をブロック図で詳細に示している。マスタバスマスタ16は一般に処理ユニット118および局部キャッシュ装置34を含む。処理ユニット118は一般にマスタバスマスタ16の構成要素のうちデータを処理するものを表わしている。たとえば、マスタバスマスタ16がCPUであるなら、処理ユニット118はCPUの実行ユニットとなるだろう。

【0019】局部キャッシュ装置34はキャッシュメモリ114、キャッシュコントローラ116およびバスインタフェースユニット130を含む。キャッシュメモリ114は、複数の多ビットバス122および124によって処理ユニット118に結合され、複数の多ビットバス126および128によってバスインタフェースユニット130に結合される。さらに、キャッシュメモリ114は、複数の多ビットバス132、134および142によってキャッシュ制御装置116に結合される。

【0020】キャッシュ制御装置116は多ビットバス136によって処理ユニット118に結合され、多ビットバス138によってバスインタフェースユニット130に結合される。キャッシュ制御装置はまた入力26で制御ライン22に結合される。そのバスインタフェースユニット130はシステムメモリ12に結合され、スレーブバスマスタ18および20にバス14によって結合される。

【0021】キャッシュメモリ114はシステムメモリ12と処理ユニット118との間に配設され、最初はシステムメモリ12にあるデータへのより速いアクセスを処理ユニット118に与える。キャッシュメモリは、データを記憶するための複数のデータブロック115と、キャッシュメモリ114に現在バッファされているデータの状況を表わすデータを記憶するための状況記憶144とを含む。

【0022】バスインタフェースユニット130は、システムメモリ12とスレーブバスマスタ18および20との間のように、キャッシュメモリ114と外部構成要素との間でデータ転送を行なう。バスインタフェースユ

ニット130はバス138を介してキャッシュ制御装置116から受取られる転送信号に応答して、データ転送を行なう。

【0023】キャッシュ制御装置116は、データ転送を発生させてバスインタフェースユニット130を制御する。キャッシュ制御装置は、バス136を介して処理ユニット118から受け取られるデータリクエスト信号と、入力26で検出される制御ライン22の状態と、バス132を介して検出されるキャッシュメモリ114の状況とに回答して、データ転送信号を発生させる。

【0024】キャッシュメモリ114のブロック115内で、データの状況が変化するとき、キャッシュ制御装置116は状況記憶装置144内の状況情報を更新する。たとえば、キャッシュメモリ114のブロック115の各々にあるデータの状況を表わす状況情報を、キャッシュ制御装置116はキャッシュメモリ114の状況記憶144で維持するかもしれない。各々のキャッシュデータブロックのための状況情報は典型的には、ブロックが新しいデータを受取れるかどうか(「利用状況」)、ブロック内のデータが修正されたかどうか

(「修正状況」)、ブロック内のデータが共用されるかまたは排他的であるかどうか(「共用状況」)、どのくらい最近にブロック内のデータが処理ユニット118によってアクセスされたか(「アクセス状況」)、およびキャッシュブロックに含まれるデータはシステムメモリ12のどのブロックから発したのか(「ソース情報」)を含む。

【0025】マスタバスマスタ16の動作は、図3および図4を参照して述べられる。処理ユニット118がデータを必要とするとき、処理ユニット118はステップ200でデータリクエスト信号をキャッシュ制御装置116に送る。ステップ202では、キャッシュ制御装置116がバス132を介してキャッシュメモリ114の状況を読み出し、要求されたデータが現在キャッシュメモリ114にあるかどうかを決定する。もしあれば、キャッシュ制御装置116は制御信号をバス142を介してキャッシュメモリ114に伝送し、キャッシュメモリ114がバス122を介して要求されたデータをステップ204でプロセスユニット118に送ることを引起す。そしてキャッシュ制御装置116は、ステップ206で状況更新信号をバス134を介してキャッシュメモリ114の状況記憶144に送り、要求されたデータがアクセスされたことを示す。

【0026】もし要求されたデータが現在キャッシュメモリ114にないならば、ステップ208でキャッシュ制御装置116は、バス132を介してキャッシュメモリ114の状況を読み出し、キャッシュメモリ114に要求されたデータが入る利用可能なスペースがあるかどうかを決定する。もし利用可能なスペースがあるなら、キャッシュ制御装置116はデータ転送信号をバスインタ

フェースユニット130に送り、バスインタフェースがシステムメモリ12から要求されたデータを読み出して、要求されたデータをバス126を介してステップ210で利用可能なスペースに書込むことを引起す。

【0027】もし、ステップ208でキャッシュメモリ114に要求されたデータの入る利用可能なスペースがないと判断されると、キャッシュ制御装置116は、バスインタフェースユニット130が要求されたデータを現在キャッシュメモリにあるデータの上に書込むことを引起さなければならないだろう。しかし、データが上書きされる前に、ステップ212において、キャッシュ制御装置はバス132から、上書きされるべきデータを含むブロックの修正された状況を読取る。もし上書きされるべきデータがキャッシュメモリ114に記憶されてから修正されたキャッシュ制御装置が判断すれば、キャッシュ制御装置116はバス138を介してデータ転送信号を送り、ステップ214でバスインタフェースユニット130がバス128からキャッシュメモリ114から修正されたデータを回復することを引起こしかつ、ステップ210においてキャッシュメモリ114に上書きされる前に、バス14を介してシステムメモリ12に修正されたデータを戻って書込むことを引起す。もしステップ212で上書きされるべきデータが修正されなかったと判断されると、その処理は直接ステップ210に進む。

【0028】要求されたデータがキャッシュメモリ114にロードされていれば、キャッシュ制御装置116はステップ216において、バス134を介してデータを受取るキャッシュブロックの状況を更新する。具体的には、利用状況は、ブロックが新しいデータを受入れるのに利用できないことを示すために更新され、修正状況は、データが修正されていないことを示すために更新され、アクセス状況は、データがアクセスされなかったことを示すために更新され、ソース情報は、データが発しているシステムメモリ12の位置を反映するために更新される。

【0029】共用状況は、ステップ218、220および222に従って更新される。ステップ218では、制御ライン22の状態が入力26でキャッシュ制御装置116によって検出され、他にキャッシュしているバスマスタがあるかどうか判断される。制御ライン22の状態が、他のキャッシュするバスマスタがシステムにないことを示すなら、要求されたデータがステップ220で排他的であることを示すために、共用状況は更新される。そうでなければステップ222で要求されたデータが共用されることを示すために、共用データは更新される。

【0030】一旦状況が更新されると、処理はステップ204に進み、キャッシュ制御装置116は制御信号をバス142を介してキャッシュメモリ114に送り、要

求されたデータがバス122を介してキャッシュメモリ114から処理ユニット118に送られることを引起す。キャッシュ制御装置116はまた、要求されたデータが処理ユニット118に送られた時を示すためにステップ206で要求されたデータを保持しているキャッシュブロックのアクセス状況を更新する。

【0031】処理ユニット118が、ステップ302で、データを修正するとステップ204で、処理ユニット118は修正されたデータをバス124を介してキャッシュメモリ114のブロックに送り、そこから修正されたデータが発する。キャッシュ制御装置116はそれから、ステップ306でバス134から修正されたデータを受取るキャッシュブロックの共用状況を読取る。もしキャッシュ制御装置がステップ306で修正されたデータが共用されていると判断すると、キャッシュ制御装置116はデータ転送信号をバスインタフェースユニット130に送り、バスインタフェースユニット130がバス128からキャッシュメモリ114からの修正されたデータを読取ることを引起こしかつ、ステップ308で修正されたデータをバス14を介してシステムメモリ12と、スレーブバスマスタ18および20と、システムの他のバスマスタとに伝えることを引起こす。修正されたデータがバス14を介して伝えられることを引起こした後、キャッシュ制御装置116はステップ310でバス134を介して、データが修正されなかったことを示すために、修正されたデータを含むキャッシュブロックの修正された状況を更新する。広く伝えた後に、データのすべての存在するバージョンは修正されたものを反映するのでそのデータは「修正されていない」と考えられる。

【0032】一方、ステップ306で、修正されたデータが排他的である（共用されない）と判断されると、修正されたデータはバス14には広がらない。むしろ、上記のプロセスに従って、それはシステムメモリ12に戻って書込まれ、後に要求されるデータのためにキャッシュメモリ114のスペースを開放する。

【0033】再度図2を参照して、スレーブバスマスタ18は、処理ユニット148と局部キャッシュ装置38を含む。局部キャッシュ装置38の構成はマスタバスマスタ16の局部キャッシュ装置34に対応するが、スレーブバスマスタ18の局部キャッシュ装置38は出力28で制御ライン22に結合され、出力28で信号を発して制御ライン22を予め定められた状況に駆動してスレーブバスマスタ18がデータをキャッシュしているかどうかを示すことを例外としている。また、マスタバスマスタ16と異なり、スレーブバスマスタ18は、システムにある別のバスマスタがデータをキャッシュしていると仮定している（たとえばマスタバスマスタ）。ゆえにスレーブバスマスタ18の局部キャッシュ装置38は、そのキャッシュのすべてのデータを共用データとし

て示す。結果として、スレーブバスマスタ18はその局部キャッシュ装置38で修正するどのデータも自動的にバス14を介して広く伝える。

【0034】本発明の特定の具体例はすでに示され、述べられたが修正はなされてよい。ゆえに前掲の請求項で発明の真の精神および範囲にあるそのすべての変更および修正を含むことが意図されている。

【図面の簡単な説明】

【図1】本発明の具体例に従って構成されている複数のバスマスタを有するコンピュータシステムを表わすブロック図である。

【図2】請求項1のコンピュータシステムを非常に詳細に表わすブロック図である。

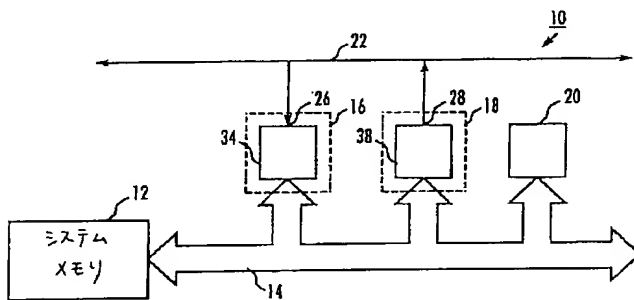
【図3】本発明の1つの具体例に従ってデータ要求がマスタバスマスタの処理ユニットによって出されるときマスタバスマスタの動作を表わす制御フロー図である。

【図4】本発明の具体例に従ってデータがマスタバスマスタの処理ユニットによって修正されたときのマスタバスマスタの動作を示す制御フロー図である。

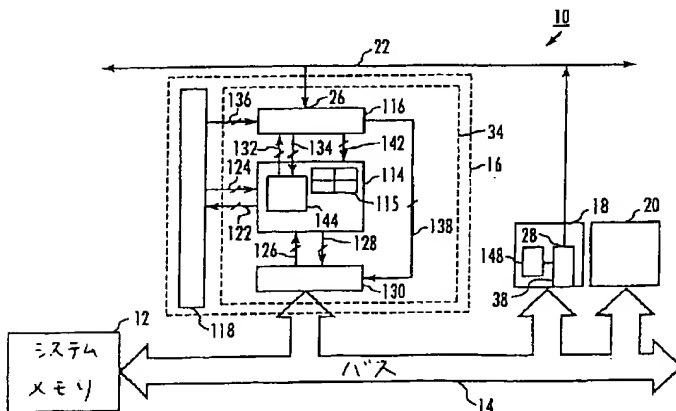
【符号の説明】

- 14 バス
- 16 マスタバスマスタ
- 18 スレーブマスタバスマスタ
- 34 局部キャッシュ装置
- 38 局部キャッシュ装置
- 22 制御ライン

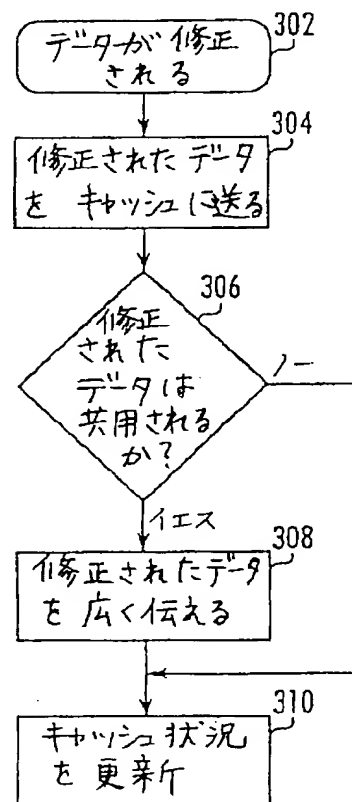
【図1】



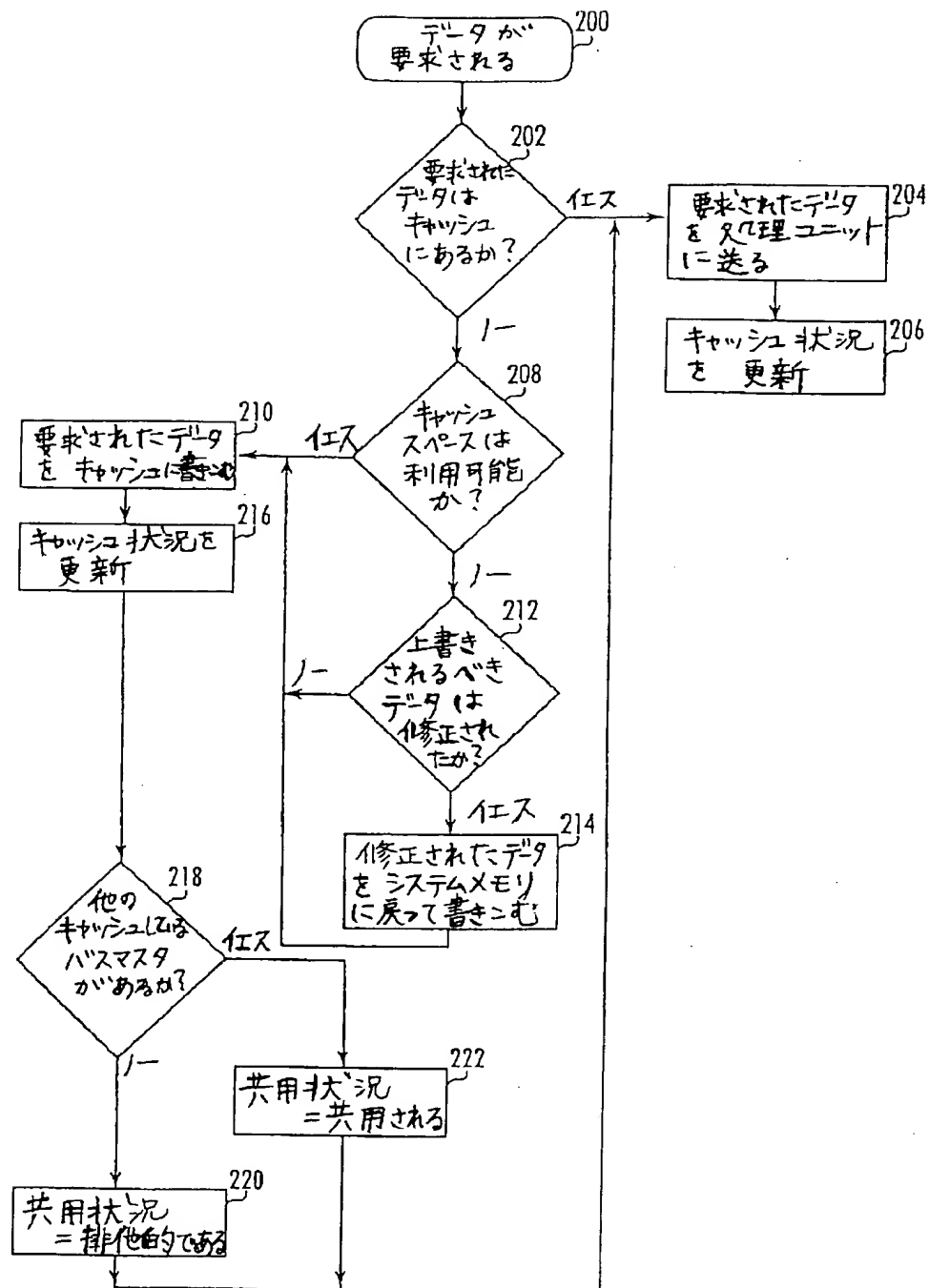
【図2】



【図4】



【図 3】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 13 年 12 月 14 日 (2001. 12. 14)

【公開番号】特開平 7 - 5 6 8 4 4
 【公開日】平成 7 年 3 月 3 日 (1995. 3. 3)
 【年通号数】公開特許公報 7 - 5 6 9
 【出願番号】特願平 6 - 1 3 7 4 5 1
 【国際特許分類第 7 版】

G06F 13/12 330
 12/08 310

【F I】

G06F 13/12 330 T
 12/08 310 A

【手続補正書】

【提出日】平成 13 年 5 月 23 日 (2001. 5. 23)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 システムメモリを有するバスをベースにしたコンピュータシステムで使用するためのマスタバスマスタであって、該マスタバスマスタはデータをキャッシュするために、および、単独の動作またはデータをキャッシュすることのできる少なくとも 1 つの他のバスマスタに関連した動作のために構成されており、前記マスタバスマスタは、
 処理ユニットと、
 バスによって前記システムメモリに結合されかつ前記処理ユニットに結合された局部キャッシュ装置とを含み、
 前記局所キャッシュ装置は前記処理ユニットと前記システムメモリとの間でデータをキャッシュするためのキャッシュメモリを含んでおり、さらに第 1 の初期状態に設定された制御ラインを含み、前記制御ラインは第 2 の状態に設定することができ、さらに該制御ラインに結合され、該制御ラインが該第 1 の状態にあるか該第 2 の状態にあるかを検出するための入力手段を含み、該制御ラインは、データをキャッシュすることのできる前記少なくとも 1 つの他のバスマスタが前記コンピュータシステム内に存在しかつ現時点においてデータをキャッシュしているときに、前記少なくとも 1 つの他のバスマスタによって該第 2 の状態に設定され、前記局部キャッシュ装置は、前記制御ラインが前記第 1 の状態にあるか前記第 2 の状態にあるかに応答して前記バスと前記キャッシュメモリとの間のデータの伝達を制御する制御手段を含み、前記少なくとも 1 つの他のバスマスタは、前記少なくと

も 1 つの他のバスマスタが現時点においてデータをキャッシュしていないときには該制御ラインを該第 1 の状態に設定する、マスタバスマスタ。

【請求項 2】 前記局部キャッシュ装置制御手段はキャッシュ制御装置を含む、請求項 1 に記載のバスマスタ。

【請求項 3】 前記キャッシュメモリは、複数のデータブロックと、前記複数のデータブロックの各々の状況を表わす状況情報を記憶する状況記憶装置とを含む、請求項 2 に記載のバスマスタ。

【請求項 4】 前記状況情報は、前記複数のデータブロックの各々にあるデータが共用される状態および排他的な状態のうち 1 つにあるかを表わす共用状況情報を含む、請求項 3 に記載のバスマスタ。

【請求項 5】 前記キャッシュ制御装置は、前記論理状態にตอบสนองして前記状況記憶装置に前記共用状況情報を維持する、請求項 4 に記載のバスマスタ。

【請求項 6】 前記処理ユニットは前記キャッシュメモリにある前記データブロックを修正するよう配設され、前記キャッシュ制御装置は、データをキャッシュすることのできる前記少なくとも 1 つの他のバスマスタが前記コンピュータシステム内に存在しかつ前記コンピュータシステム内でデータをキャッシュしていることを前記論理状態が示すときに、前記マスタバスマスタによって修正される前記データブロックを前記バスを介して伝えるように配される、請求項 5 に記載のバスマスタ。

【請求項 7】 前記マスタバスマスタはマイクロプロセッサである、請求項 6 に記載のマスタバスマスタ。

【請求項 8】 前記入力手段は、データをキャッシュすることのできる前記少なくとも 1 つの他のバスマスタが前記コンピュータシステム内に存在するが前記コンピュータシステム内でデータをキャッシュしていないことを前記論理状態が示すときに、前記マスタバスマスタによって修正される前記データブロックが前記バスを介して伝えられないように配される、請求項 1 に記載のバスマ

スタ。

【請求項 9】 システムメモリと、

前記システムメモリに結合されたバスと、

論理状態を有する制御ラインとを含み、前記論理状態は最初は第 1 の状態に設定され、前記制御ラインはまた、第 2 の状態に設定することが可能であり、さらにデータをキャッシュすることのできる第 1 のバスマスタを含み、前記第 1 のバスマスタは、前記第 1 のバスマスタが現時点においてデータをキャッシュしているときに前記制御ラインを前記第 1 の状態に設定し、前記第 1 のバスマスタは、前記第 1 のバスマスタが現時点においてデータをキャッシュしていないときに前記制御ラインを前記第 2 の状態に設定し、さらに第 2 のバスマスタを含み、前記第 2 のバスマスタは、

処理ユニットと、

前記制御ラインに結合され、前記制御ラインが前記第 1 の状態にあるか前記第 2 の状態にあるかを検出するための検出手段と、

前記バス、前記検出手段、および前記処理ユニットに結合され、前記処理ユニットと前記システムメモリとの間でデータをキャッシュするための局部キャッシュ装置とを含み、前記局部キャッシュ装置は、前記制御ラインが前記第 1 の状態にあるか前記第 2 の状態にあるかに応答して前記処理ユニットと前記システムメモリとの間のデータの伝達を制御する、バスをベースにしたコンピュータシステム。

【請求項 10】 前記局部キャッシュ装置は、状況記憶装置を有するキャッシュメモリを含み、前記状況記憶装置は前記キャッシュメモリ内に現在あるデータの状況を表わす状況データを保持し、さらに前記キャッシュメモリに結合され、前記キャッシュメモリと前記システムメモリとの間のデータ転送を制御するよう構成されかつ前記状況データを維持するよう構成されるキャッシュ制御装置を含む、請求項 9 に記載のコンピュータシステム。

【請求項 11】 前記状況データは、前記キャッシュメモリ内に現在ある前記データが共用であるか排他的であるかの情報を含み、前記キャッシュ制御装置は、前記制御ラインの前記論理状態に応答して前記共用状況データを維持する、請求項 10 に記載のコンピュータシステム。

【請求項 12】 前記キャッシュ制御装置は、前記論理状態が前記第 1 の状態であるときには前記キャッシュメモリの選択されたデータブロック内のデータが排他的であることを示すよう、また、前記論理状態が前記第 1 の状態でないときには前記キャッシュメモリの前記選択されたデータブロック内の前記データが共用であることを示すよう、前記共用状況データにしるしを付ける、請求項 10 に記載のコンピュータシステム。

【請求項 13】 前記バスによって前記システムメモリ

に結合されたスレーブバスマスタをさらに含み、前記スレーブバスマスタは、前記スレーブバスマスタが前記メモリからデータをキャッシュしているときには前記制御ラインを第 2 の状態へと駆動し前記スレーブバスマスタが前記メモリからデータをキャッシュしていないときには前記制御ラインを前記第 1 の状態に駆動するための、前記制御ラインに結合された駆動手段を含む、請求項 9 に記載のコンピュータシステム。

【請求項 14】 バスをベースにしたコンピュータシステムにおいて、キャッシュするバスマスタによる不必要なデータ伝送を防止する方法であって、

a) 制御ラインに第 1 の初期論理状態を与えるステップと、

b) 前記キャッシュするバスマスタを前記制御ラインに結合するステップと、

c) 第 2 のバスマスタを前記制御ラインに結合するステップと、

d) 前記第 2 のバスマスタが現時点においてデータをキャッシュしている場合には、前記第 2 のバスマスタが前記制御ラインを第 2 の状態へと駆動するようにするステップと、

e) 前記第 2 のバスマスタが現時点においてデータをキャッシュしていない場合には、前記第 2 のバスマスタが前記制御ラインを前記第 1 の状態へと駆動するようにするステップと、

f) 前記制御ラインが前記第 1 の状態にあるか前記第 2 の状態にあるかを前記キャッシュするバスマスタが検出するようにするステップと、

g) 前記制御ラインが前記第 2 の状態にあるときのみ、前記キャッシュするバスマスタが修正されたデータを伝えるようにするステップとを含む、方法。

【請求項 15】 前記キャッシュするバスマスタおよび前記第 2 のバスマスタはバスによってシステムメモリに結合され、該方法は、前記制御ラインが前記第 2 の状態にあるときに、前記キャッシュするバスマスタが修正されたデータを前記第 2 のバスマスタへと前記バスを介して伝えるようにするステップをさらに含む、請求項 14 に記載の方法。

【請求項 16】 前記キャッシュするバスマスタは、処理ユニットおよびデータを記憶するためのキャッシュメモリを含み、前記キャッシュメモリは前記キャッシュメモリに記憶されたデータの状況を表わす状況データを記憶するための状況記憶装置を有し、該方法は、前記処理ユニットがデータを要求するとき前記状況データを読み取るステップと、前記要求されたデータが前記キャッシュメモリにあるかどうかを前記状況データに基づいて判断するステップとをさらに含む、請求項 15 に記載の方法。

【請求項 17】 前記要求されたデータが前記キャッシュメモリにないとき、前記要求されたデータを前記シス

テムメモリから前記バスを介して取出すステップと、前記要求され取出したデータを前記キャッシュメモリに記憶するステップとをさらに含む、請求項 16 に記載の方法。

【請求項 18】 前記制御ラインが前記第 1 の論理状態にあるとき、前記要求され取出したデータが排他的であることを示すよう前記状況データを更新するステップと、前記制御ラインが前記第 2 の論理状態にあるとき、前記要求され取出したデータが共用であることを示すよう前記状況データを更新するステップとをさらに含む、請求項 17 に記載の方法。

【請求項 19】 前記第 2 のバスマスタは、キャッシュするモードおよびキャッシュしないモードのうち的一方であり、前記第 2 のバスマスタが前記キャッシュするモードにあるとき、前記第 2 のバスマスタは前記制御ライ

ンを前記第 2 の状態に駆動し、前記第 2 のバスマスタが前記キャッシュしないモードにあるとき、前記第 2 のバスマスタは前記制御ラインを前記第 1 の状態に駆動する、請求項 13 に記載の方法。

【請求項 20】 h) 第 3 のバスマスタを前記制御ラインに結合するステップと、

i) 前記第 3 のバスマスタが現時点においてデータをキャッシュしている場合、前記第 3 のバスマスタが前記制御ラインを第 2 の状態に駆動するようにするステップと、

j) 前記第 2 および第 3 のバスマスタが双方とも現時点においてデータをキャッシュしていない場合に限り、前記第 2 および第 3 のバスマスタが前記制御ラインを前記第 1 の状態に駆動するようにするステップとをさらに含む、請求項 13 に記載の方法。